

Circuit / Semiconductor Track

A Low-Voltage CMOS DC-DC Converter for a Portable Battery-Operated System

AJ Stratakos, SR Sanders, RW Brodersen

IEEE Power Electronics Specialists Conference (1994)

Contents

01 Introduction

02 Background

03 Problem: Switching Loss

04 Solution 1: ZVS

05 Solution 2: Adaptive Dead-Time Control

06 Solution 3: FET Design Optimization

07 Solution 4: CMOS Gate Drive Buffer

08 Conclusion

01 Introduction

휴대용 전자 기기 증가



휴대형 장치 배터리 운용 위해 초저전력 회로 필요

→ 낮은 공급 전압 필요 → 속도 저하

디지털 기기 기본 회로들 약 1.3V, 5V 등 낮은 전압에서 구동

단일 배터리로부터 여러 DC-DC출력 필요

01 Introduction

전력 변환 최소화

1. 높은 주파수

2. 저주파 컨버터 수준의 높은 효율 요구

주파수 증가 → 한 주기동안 저장하는 에너지 감소 → L, C 크기 감소 → 휴대성 증가
→ 스위칭 횟수 증가 → 손실 증가 (효율 감소)

01 Introduction

전력 변환 최소화

1. 높은 주파수

2. 저주파 컨버터 수준의 높은 효율 요구

주파수 증가 → 한 주기동안 저장하는 에너지 감소 → L, C 크기 감소 → 휴대성 증가

→ 스위칭 횟수 증가 → 손실 증가 (효율 감소)

ZVS

문제 해결 → adaptive dead-time 제어

FET 설계

CMOS 게이트 드라이브 버퍼

02 Background

DC-DC 컨버터

DC(직류)를 DC(직류)로 변환하는 기기

IC등의 전자기기는 각각 가능한 전압 범위가 다름

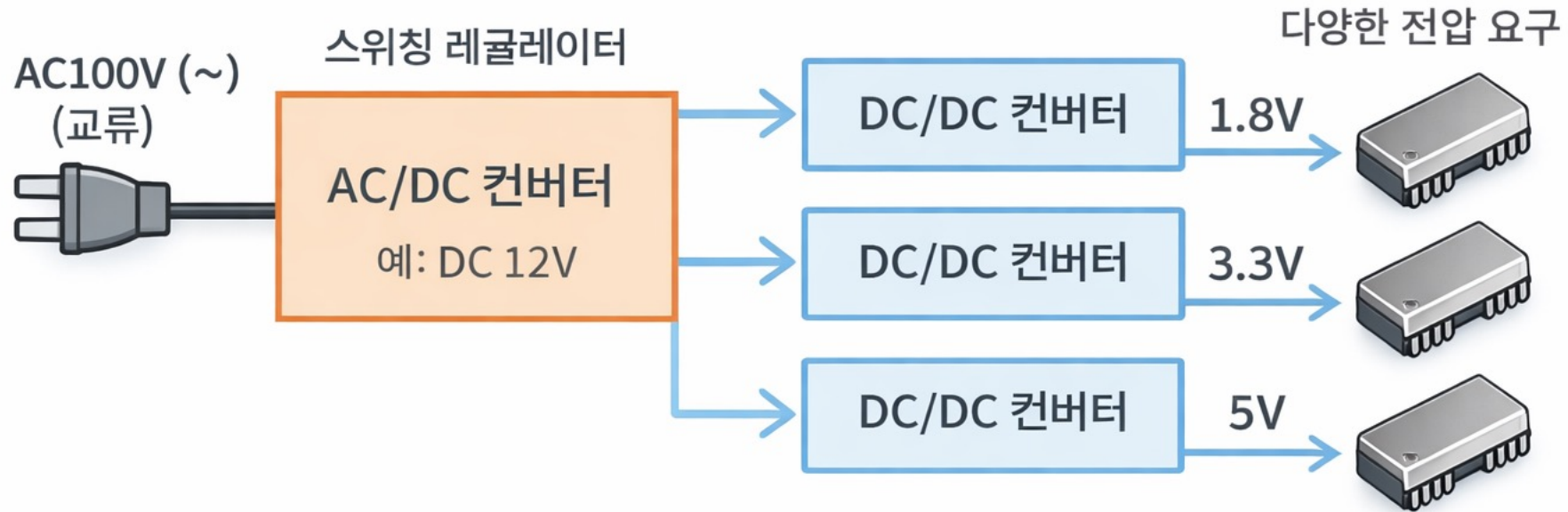
전압이 안정되지 않은 전원을 공급 → 오동작 및 특성 열화 등의 트러블 발생

→ 각각에 적합한 전압을 생성해야함

02 Background

DC-DC 컨버터

DC(직류)를 DC(직류)로 변환하는 기기



03 Problem: Switching Loss

DC-DC 컨버터에서의 스위칭 손실

주파수 증가 → 한 주기동안 저장하는 에너지 감소 → L, C 크기 감소 → 휴대성 증가
→ 스위칭 횟수 증가 → 손실 증가 (효율 감소)

소형화를 위해 주파수를 높이면
스위칭 손실이 증가하는 문제 발생

04 Solution 1: ZVS

ZVS (Zero Voltage Switching)

스위칭 손실이 발생하는 이유

스위치를 켤 때 전압(V) + 전류(I) 동시에 존재
(전력 손실 = $P = V \times I$)

전압이 있는 상태에서 스위치 ON → 손실 발생

04 Solution 1: ZVS

ZVS (Zero Voltage Switching)

스위칭 손실이 발생하는 이유

스위치를 켤 때 전압(V) + 전류(I) 동시에 존재
(전력 손실 = $P = V \times I$)

전압이 있는 상태에서 스위치 ON → 손실 발생

전압이 0일 때 스위치를 키면

손실=0

04 Solution 1 – ZVS

1. M2 ON $\rightarrow V_x = 0$ (접지 연결)

2. M2 OFF (Dead-time)

\rightarrow 인덕터가 전류 유지하려고 함

3. 인덕터가 V_x 전압을 자연스럽게 상승시킴

4. $V_x = V_{in}$ 되는 순간 M1 ON

이미 전압이 같음 \rightarrow 손실 없음

* 반대 과정

M1 \rightarrow M2 전환도 동일

인덕터가 전압을 먼저 0으로 만든 후 스위칭

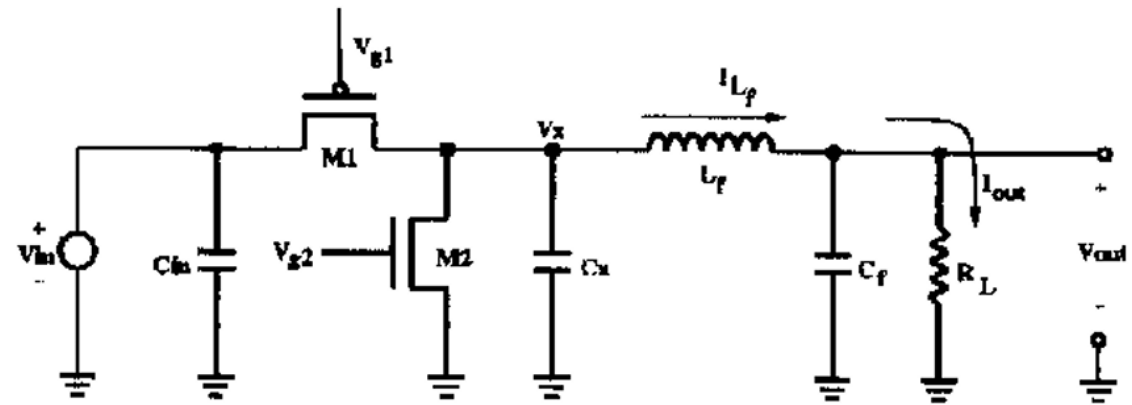


Fig. 1. Low-output-voltage buck circuit.

04 Solution 1 – ZVS

스위치가 전압을 변화 X
전압이 바뀐 후 스위치 ON

일반

낮은데서 높은데로
억지로 전압을 밀어올림

손실 발생

ZVS

이미 올라간 상태에서 살짝 건드림

힘 X

손실 X

04 Solution 1 – ZVS

ZVS를 위한 타이밍 설계 (Timing Design)

ZVS가 성립하려면

스위칭 타이밍 = 전압 전이 타이밍

왜 타이밍이 중요한가?

인덕터가 V_x 전압을 변화시키는 데 시간이 필요함 전압이 완전히 변하기 전에 스위치 ON

→ ZVS 실패 (손실 발생)

Dead-time = V_x 전압 전이 시간

05 Solution 2 – Adaptive Dead-Time Control

Dead-Time

M1, M2 스위치가 모두 꺼져 있는 시간 → 스위치 사이의 ‘쉬는 시간’

왜 필요한가?

두 스위치가 동시에 켜지면
쇼트 발생 → 회로 손상

05 Solution 2 – Adaptive Dead-Time Control

Dead-Time

M1, M2 스위치가 모두 꺼져 있는 시간 → 스위치 사이의 ‘쉬는 시간’

문제 발생

Dead-time이 너무 짧으면

전압이 충분히 변하기 전에 스위치 ON
→ ZVS 실패 → 손실 발생

Dead-time이 너무 길면

불필요하게 기다림
→ 효율 저하

Dead-time = 전압 전이 시간

05 Solution 2 – Adaptive Dead-Time Control

Fixed Dead-Time

전압변화 : 인덕터 전류에 의해 결정 → 인덕터 전류 : 부하에 의해 변화

즉, 부하가 변하면 전압 전이 시간이 변하는 문제 발생

평균 부하를 가정하여
Dead-time을 고정값으로 설정

실제 부하 \neq 예상 부하
→ 타이밍 mismatch 발생 → ZVS 깨짐 → 손실 증가

05 Solution 2 – Adaptive Dead-Time Control

Adaptive Dead-Time Control

부하변화에 대응 할 수 있게 Dead-Time을 자동으로 조절

1. V_x (실제 전압 변화) 측정
2. V_{g2} (스위치 ON 타이밍) 비교
3. 두 신호의 차이 → 오차 발생
4. 오차를 커패시터에 저장 (기억)
5. Current source J_p (스위치 켜는 타이밍을 조절하는 장치) 업데이트

→ 데드타임 자동 조절

06 Solution 3 – FET Design Optimization

전력 트랜지스터 = 스위치 + 저항 역할

저항 특성 : $R \propto 1 / W$ (게이트 폭)

$W \uparrow \rightarrow R \downarrow$

도통 손실(Conduction Loss) = $I^2 \times R$

$R \downarrow$ 손실 감소

즉, W 를 키우면 손실이 줄어든다 -> 트랜지스터의 크기를 키우고 싶음

06 Solution 3 – FET Design Optimization

FET 최적 설계

ZVS의 효과

스위칭 손실 제거 : $V \times I$ 손실 무시 가능

1. 도통 손실 $\propto I^2 \cdot R$

$W \uparrow \rightarrow$ 감소

2. 게이트 드라이브 손실 $\propto W$

$W \uparrow \rightarrow$ 증가

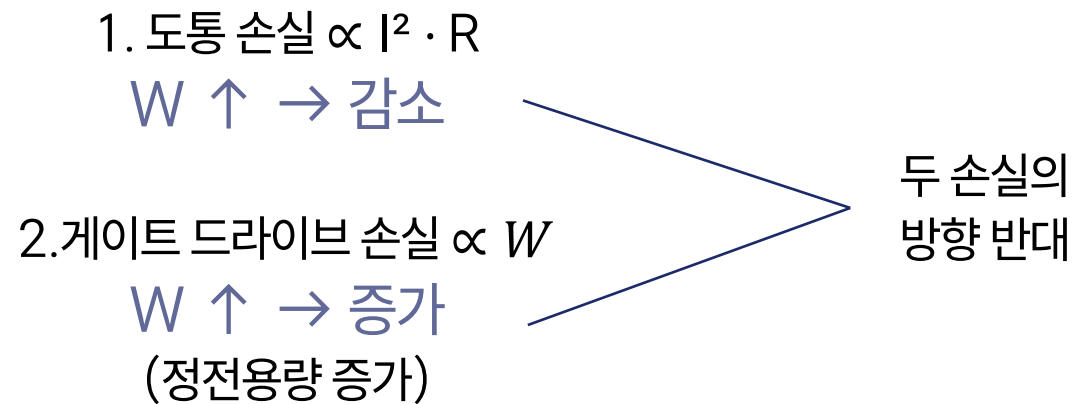
(정전용량 증가)

06 Solution 3 – FET Design Optimization

FET 최적 설계

ZVS의 효과

스위칭 손실 제거 : $V \times I$ 손실 무시 가능



Conduction Loss = Gate Loss

07 Solution 4: CMOS Gate Drive Buffer

CMOS Gate Driver

큰 MOSFET을 한번에 킬 수 없음

여러단계의 인버터로 나누어서 구동
→ 단계적으로 신호를 키움

테이퍼링 계수 u

구조

1단: 1

2단: u

3단: u^2

...

마지막: MOSFET

각 단계의 크기를 일정 비율로 증가시키는
테이퍼링 구조를 사용
속도와 손실을 동시에 최적화

08 Conclusion

연구 핵심

- ZVS(Zero Voltage Switching) 기반 스위칭 손실 최소화
- Adaptive Dead-Time 제어 : 부하 변화에도 최적 타이밍 유지

설계 최적화

- FET 크기 최적화 : 도통 손실 vs 게이트 손실 균형
- CMOS Gate Driver : 효율적인 구동 및 손실 감소

08 Conclusion

실제 구현 결과

온칩 손실: 8% 이하

이론 효율: 약 92%

한계점

패키징 및 기생 요소로 인한 효율 저하

- 패키징(칩 자체는 좋은데, 칩 “밖 연결” 때문에 전력 손실 생겨서 효율 떨어지는 것)
- 기생 인덕턴스 (스위칭 손실 증가)

칩 자체는 좋은데, 칩 “밖 연결” 때문에 전력 손실 생겨서 효율 떨어지는 것
→ 패키징 개선 시 고효율 달성 가능”

Circuit / Semiconductor Track

Thank you

송실대학교 전기공학부 학술 소모임 NOVA

발표자 : 김민서